

537,700
Rec'd PCT/P 06 JUN 2005

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG-

10/537700

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
17. Juni 2004 (17.06.2004)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2004/051490 A2

(51) Internationale Patentklassifikation⁷: G06F 13/18

(21) Internationales Aktenzeichen: PCT/EP2003/013495

(22) Internationales Anmeldedatum:
1. Dezember 2003 (01.12.2003)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
102 56 502.3 4. Dezember 2002 (04.12.2002) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): HYPERSTONE AG [DE/DE]; Line-Eid-Strasse 3,
78467 Konstanz (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): BAUMHOF,
Christoph [DE/DE]; Badener Strasse 5/5, 78315
Radolfzell-Euttingen (DE). KÜHNE, Reinhard [DE/DE];
Illenauweg 2, 78479 Reichenau (DE).

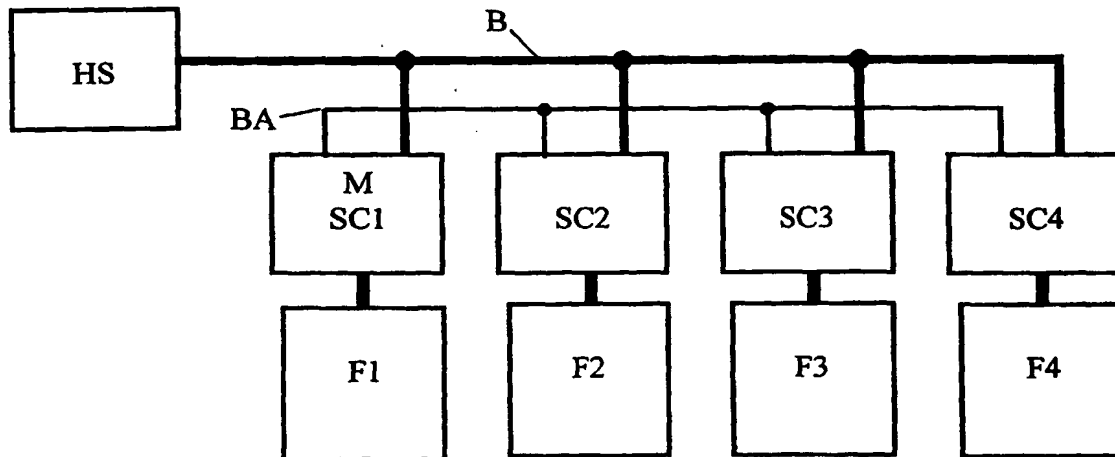
(74) Anwalt: HANEWINKEL, Lorenz; Boehmert &
Boehmert, Ferrarieweg 17 a, 33102 Paderborn (DE).

(81) Bestimmungsstaaten (national): AE, AG, AL, AM, AT,
AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR,
CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD,
GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR,
KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN,
MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU,

[Fortsetzung auf der nächsten Seite]

(54) Title: MEMORY SYSTEM COMPRISING A PLURALITY OF MEMORY CONTROLLERS AND METHOD FOR SYN-
CHRONIZING THE SAME

(54) Bezeichnung: SPEICHERSYSTEM MIT MEHREREN SPEICHERCONTROLLERN AND VERFAHREN ZU DEREN
SYNCHRONISIERUNG



(57) Abstract: The invention relates to a memory system which is configured with a plurality of memory controllers (SCx), disposed in parallel on a clocked bus (B), and memory chips (Fx) associated with the respective memory controllers (SCx). The system communicates via the bus (B) with a host system (HS) by means of operational memory commands using logical memory sector numbers. The inventive system is characterized in that for any memory operation requested by the host system (HS) the memory controller (SCx) affected with respect to a range of logical memory sector numbers (SCx) takes over the bus for communication with the host system (HS) by means of arbitration.

(57) Zusammenfassung: Die Erfindung beschreibt ein Speichersystem, welches mit mehreren, an einem getakteten Bus (B) parallel angeordneten Speichercontrollern (SCx) und jeweils den Speichercontrollern (SCx) zugeordneten Speicherchips (Fx) gebildet ist und über den Bus (B) mit einem Hostsystem (HS) mit Speicheroperationskommandos unter Verwendung von logischen Speichersektornummern kommuniziert, dadurch gekennzeichnet, dass bei einer vom Hostsystem (HS) angeforderten Speicheroperation der jeweils für einen Bereich von logischen Speichersektornummern betroffene Speichercontroller (SCx) den Bus für die Kommunikation mit dem Hostsystem (HS) mittels einer Arbitrierung übernimmt.

WO 2004/051490 A2



SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) **Bestimmungsstaaten (regional):** ARIPO-Patent (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI-Patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— *ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts*

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

**Speichersystem mit mehreren Speichercontrollern und Verfahren
5 zu deren Synchronisierung**

Die Erfindung betrifft ein Speichersystem, welches mit mehreren, an einem getakteten Bus parallel angeordneten Speichercontrollern und jeweils den Speichercontrollern zugeordneten Speicherchips gebildet
10 ist und über den Bus mit einem Hostsystem mit Speicheroperationskommandos unter Verwendung von logischen Speichersektornummern kommuniziert.

Die Größe eines Speichersystems, angeschlossen an ein Hostsystem,
15 ist durch die Merkmale des Speichercontrollers begrenzt. Diese Speichercontroller sind aus Preisgründen sehr einfach aufgebaut und besitzen üblicherweise folgende Merkmale:

- bis zu 100 Anschlusspins, da preiswerte Standardgehäuse verwendet werden,
- 20 - bis zu 10 Chipselect-Signale zur Auswahl von Speicherchips,
- bis zu 16 KByte interner RAM-Speicher.

Um größere Systeme mit mehr als 10 Speicherchips aufzubauen, sind zusätzliche externe Bauteile erforderlich wie Decoder, Bustransceiver und evtl. auch RAM-Speicher.

25 Aus der Anmeldeschrift mit dem Aktenzeichen DE102 27 256.5 ist beispielsweise eine Anordnung bekannt, bei der die Speicherchips eines größeren Speichers über zusätzliche Bauteile an einen Controller angeschlossen sind.

In der Patentschrift US 6,397,314 ist eine Anordnung von
30 Speicherchips an einem Controller beschrieben, wobei der Controller einen doppelt breiten Datenbus besitzt, um zwei Speicherchips parallel mit Daten zu versorgen. Dies bedingt einen nicht

standardmäßigen Speichercontroller, der zusätzliche Anschlusspins benötigt. Diese Anordnung ist außerdem nicht auf noch größere Anordnungen anwendbar, da sie auf zwei simultan ansprechbare Speicherchips begrenzt ist.

5

Der Erfindung liegt die Aufgabe zugrunde, größere Speichersysteme als sie mit nur einem standardmäßigen Speichercontroller realisierbar sind, durch die Kombination von mehreren standardmäßigen Speichercontrollern ohne den Einsatz zusätzlicher Bauelemente zu

10

bilden, wobei die maximale Größe nur durch die Anzahl der eingesetzten Speichercontroller begrenzt ist. Um mit der durch Standardgehäuse vorgegebenen Anzahl von Anschlusspins auszukommen, soll für die Zusammenschaltung mehrerer Speichercontroller nur eine minimale Anzahl von Anschlusspins

15

benötigt werden.

Gelöst wird die Aufgabe erfindungsgemäß dadurch, dass das Speichersystem mit mehreren, an einem getakteten Bus parallel angeordneten Speichercontrollern und jeweils den Speichercontrollern zugeordneten Speicherchips gebildet ist und dabei über den Bus mit einem Hostsystem mit Speicheroperationskommandos unter Verwendung von logischen Speichersektornummern kommuniziert, wobei bei einer vom Hostsystem angeforderten Speicheroperation der jeweils für einen Bereich von logischen Speichersektornummern

20

25

betroffene Speichercontroller den Bus für die Kommunikation mit dem Hostsystem mittels einer Arbitrierung übernimmt.

Vorteilhafte Ausgestaltungen der Erfindung sind in den Unteransprüchen beschrieben.

30

In PC-Systemen, digitalen Kameras oder in ähnlichen Geräten, hier als Hostsystem bezeichnet, wird über einen Bus auf ein

Speichersystem zugegriffen und über Speicheroperationskommandos mit diesem kommuniziert. Dieser Bus kann als sogenannte PCMCIA-Schnittstelle, IDE-Schnittstelle oder dergleichen ausgeführt sein. Mit den verschiedenen Einsatzfällen der Hostsysteme ist ein skalierbarer Speicher gefordert.

Durch die Parallelschaltung von mehreren Speichercontrollern mit jeweils zugeordneten Speicherchips in einer vom Controller maximal verwaltbaren Anzahl wird mit dem Einsatz von immer gleichen Speichercontrollern eine skalierbare Speichergröße erreicht, die keine weiteren Bauteile benötigt, solange die physikalische Spezifikation des Busses eingehalten wird. Die Kommunikation der Controller mit dem Hostsystem erfolgt unter Verwendung von standardisierten Kommandos, bei denen der Speicher mit logischen Speichersektornummern adressiert ist. Durch ein Arbitrierungsverfahren sind jedem Speichercontroller exklusiv Bereiche von logischen Speichersektornummern zugeordnet. Bei Hostkommandos, welche die jeweiligen logischen Speichersektornummern betreffen, übernimmt der zugeordnete Speichercontroller die Abarbeitung des Kommandos. Das Arbitrierungsverfahren stellt sicher, dass alle logischen Speichersektornummern jeweils von einem der Controller bearbeitet werden und sich bei einem Kommando, z.B. einem Lesekommando für einen Speicherbereich von mehreren Sektornummern, die Controller entsprechend ergänzen und jeweils den Bus zum geeigneten Zeitpunkt übernehmen.

Da mehrere Speichercontroller mit dem Hostsystem kommunizieren, ist es vorteilhaft, dass einer der Speichercontroller als Master an dem Bus bestimmt ist. Dieser führt solange die Kommunikation mit dem Hostsystem durch, wie kein anderer Speichercontroller aufgrund der zugeordneten Speichersektornummer die Kommunikation auf dem Bus übernimmt. Insbesondere werden vom Master

Speicherooperationen ausgeführt und beantwortet, die das Speichersystem als Ganzes betreffen. Solche Speicherooperationen sind beispielsweise: „Reset“, „Initialisierung“, „SetFeatures“, „Diagnose“. Bei einigen Speicherooperationen werden die Kommandos von allen Speichercontrollern ausgeführt, die Kommunikation über den Status wird aber nur vom Master mit dem Hostsystem geführt.

Ein wesentlicher Vorteil der erfindungsgemäßen Ausführung des Speichersystems ist die Verwendung nur einer einzigen Leitung zur Arbitrierung des Busses zwischen den Speichercontrollern. Diese Leitung ist als Tri-State-Leitung ausgeführt und besitzt die drei elektrischen Zustände „0“, „1“, „Tri-State“. Dabei ist dann z.B. der Zustand „0“ dem logischen „belegt“ des Busses und der Zustand „1“ dem logischen „freigegeben“ zugeordnet.

Bei der Initialisierung der Controller erhalten die Controller Nummern, über die auch der zugeordnete Bereich von logischen Speichersektornummern festgelegt ist. So ist z.B. bei vier Controllern der Controller 1 den Speichersektornummern 0,4,8,12,... zugeordnet, der Controller 2 den Speichersektornummern 1,5,9,13,..., der Controller 3 den Speichersektornummern 2,6,10,14,..., der Controller 4 den Speichersektornummern 3,7,11,15,... . Wenn nun durch ein Lesekommando die Sektoren 4-11 gelesen werden sollen, übernimmt zuerst der Controller 1 für den Speichersektor 4 den Bus, indem er die Tri-State-Leitung auf „0“ zieht. Wenn der Speichersektor 4 übertragen ist, gibt der Controller 1 den Bus frei, indem er die Tri-State-Leitung auf „1“ schaltet oder in den „Tri-State-Zustand“ geht. Danach übernimmt der Controller 2 für den Speichersektor 5 den Bus auf gleiche Art und Weise. So wird der Bus nacheinander fortlaufend von den Controllern übernommen, bis alle angeforderten Speichersektoren, in diesem Fall bis Sektor 11, übertragen sind.

Um einen sauberen Wechsel der Kontrolle über den Bus zwischen den Controllern zu erreichen, ist es vorteilhaft, eine Schutzzeit einzuhalten, in welcher die Tri-State-Leitung definiert auf „freigegeben“ getrieben ist. Die Zeitkonstante der Tri-State-Leitung mit einem Pull-Up-Widerstand ist bei einem schnellen Busbetrieb nicht kurz genug. Eine günstige Schutzzeit ist eine Taktlänge auf dem Bus.

Wie oben beschrieben, ist es günstig, die Zuordnung der Speichercontroller zu logischen Speichesektornummern so vorzunehmen, dass aufeinanderfolgenden Speichersektornummern unterschiedliche Controller zugeordnet sind. Damit können so viele logische Speichersektoren quasi parallel geschrieben oder gelesen werden, wie Speichercontroller vorhanden sind. Damit wird eine hohe Arbeitsgeschwindigkeit des Speichersystems erreicht.

Eine besonders vorteilhafte Ausführung des Speichersystems ergibt sich bei dem Einsatz von Flashspeichern als Speicherchips. Bei diesem Speichertyp treten gegenüber den Zeiten des Lesens lange Schreib- und Löschanzeiten auf. Durch das Überlappen („Interleave“) der Bedienung von fortlaufenden logischen Speichesektornummern durch unterschiedliche Speichercontroller und damit auch unterschiedlichen Speicherchips laufen diese Schreib- und Löschvorgänge quasi parallel ab, was die Geschwindigkeit des gesamten Speichersystems steigert. Dabei können die realen Speichersektoren, auch „Pages“ genannt, die in die Flashchips geschrieben werden, eine vielfache Größe der logischen Speichersektoren besitzen.

Ein einfacher und preisgünstiger Speicheraufbau ergibt sich, wenn die Speichercontroller zusammen auf einem Halbleitersubstrat integriert sind. Bei einem solchen Aufbau entfallen die Kosten für die einzelnen Gehäuse, und die Anzahl der Anschlusspins untereinander ist nicht

von Bedeutung. Insbesondere sind dann auf dem Halbleitersubstrat auch zusätzliche Kontrollregister untergebracht, mit denen beispielsweise die Reihenfolge der einzelnen Speichercontroller am Bus festgelegt wird und der Master bestimmt ist.

5

Falls solche Kontrollregister nicht vorhanden sind, wird während der Initialisierung des Speichersystems die Bestimmung des Masters und die Festlegung der Reihenfolge der Speichercontroller am Bus durch nachfolgendes Verfahren festgelegt:

- 10 Dem initialisierenden Hostsystem ist die Größe des Speichersystems und die Anzahl der eingesetzten Speichercontroller bekannt. Die Tri-State-Leitung befindet sich im Zustand „freigegeben“. Das Hostsystem sendet über den Bus ein Bestimmungskommando, das von allen angeschlossenen Speichercontrollern aufgenommen wird. Die
- 15 Speichercontroller bestimmen anhand eines Zählers, der den angelegten Takt zählt, eine Wartezeit. Derjenige Speichercontroller, bei dem die Wartezeit als erstes abläuft, zieht die Tri-State-Leitung für einen definierten Zeitraum auf „belegt“. Er besitzt damit die Speichercontrollernummer 1, und er ist auch als Master bestimmt. Die
- 20 anderen Speichercontroller registrieren diesen Vorgang. Der Master sendet an das Hostsystem ein Bestätigungssignal. Daraufhin wiederholt das Hostsystem das Bestimmungskommando. Der Master zieht sich jetzt aus der Bestimmungsprozedur zurück. Alle anderen Speichercontroller warten wieder gemäß ihrer intern bestimmten
- 25 Wartezeit. Derjenige Speichercontroller, der jetzt die kürzeste Wartezeit hat, belegt wieder die Tri-State-Leitung und bekommt damit die nächst Speichercontrollernummer zugeteilt. Der Master bestätigt wieder den Vorgang gegenüber dem Hostsystem. Der Speichercontroller, der jetzt eine Controllernummer erhalten hat, zieht
- 30 sich auch aus dem Vergabeverfahren zurück. Das Hostsystem wiederholt den Vorgang mit dem Bestimmungskommando so oft, wie es der Anzahl der Speichercontroller entspricht. Bekommt das

Hostsystem keine Bestätigung auf ein Bestimmungskommando, da eine Controllernummer aufgrund von gleich langen Wartezeiten doppelt vergeben wurde, wiederholt es das gesamte Verfahren von vorn.

5

Die Wartezeit beim Bestimmungsverfahren wird vorteilhafterweise aus einem Zähler im Speichercontroller mittels eines zufällig bestimmten Zählerstandes abgeleitet. Der hier hochgezählte Takt wird in jedem Speichercontroller separat mit einem RC-Oszillator erzeugt, der aufgrund von Bauteiletoleranzen jeweils nicht synchron zu den anderen läuft. Daher ist die Wahrscheinlichkeit von gleich langen Wartezeiten, auch bei gleicher Zufallszahl für den Zählerstand, äußerst gering.

15 Nach der Bestimmung der Controllernummern wird in alle Speichercontroller ein sogenannter Ankersektor geschrieben, der dann die Angaben über die Speichergröße entsprechend der Gesamtanzahl der logischen Sektornummern, die Anzahl der Controller und der Pagegröße enthält. Damit besitzt der Speichercontroller alle
20 notwendigen Informationen, um an der Kommunikation über den Bus teilzunehmen.

Die Ausgestaltung der Erfindung ist in den Figuren beispielhaft beschrieben.

25 Fig. 1 zeigt ein Blockschaltbild des Speichersystems
Fig. 2 zeigt das ergänzte Blockschaltbild bei Integration der Speichercontroller auf einem Halbleitersubstrat.
Fig. 3 zeigt ein Blockschaltbild für den Bestimmungsprozess der Speichercontrollernummern
30 Fig. 4 zeigt ein Ablaufdiagramm für das Bestimmungsverfahren der Speichercontrollernummern

In Fig. 1 kommuniziert das Hostsystem HS über den Bus B mit den Speichercontrollern SCx. Das x steht für die fortlaufenden Ziffern 1 bis 4. Die Speichercontroller SCx sind parallel am Bus B angeschlossen. Jeder Speichercontroller SCx steuert Speicherchips Fx, die vorzugsweise in Flashtechnologie aufgebaut sind. Zusätzlich zum Bus B sind die Speichercontroller SCx auch mit der Arbitrierungsleitung BA verbunden, die den jeweiligen Zustand „belegt“ oder „freigegeben“ angibt. Diese Leitung BA ist als Tri-State-Leitung mit Pull-Up-Widerstand ausgeführt. Der erste Speichercontroller SC1 ist gleichzeitig als Master M bestimmt.

Fig. 2 zeigt das gleiche Blockschaltbild wie Fig. 1 ohne die Speicherchips Fx. Hier sind die Speichercontroller SCx auf dem Halbleitersubstrat H integriert. Zusätzlich ist auf dem Halbleitersubstrat H das Kontrollregister KR untergebracht, welches für jeden Speichercontroller SCx ein Feld enthält, das die Controllernummer Sx und die Bestimmung des Masters M enthält. Diese Werte werden bei der Initialisierung des Speichersystems in das Kontrollregister KR geschrieben.

In Fig. 3 sind die Komponenten für den Bestimmungsprozess der Speichercontrollernummern in einem Blockschaltbild dargestellt. Die Auswertelogik AL in den jeweiligen Speichercontrollern SCx überwacht die Kommandos vom Hostsystem HS, die über den Bus B übertragen werden. Durch den Pull-Up-Widerstand RP ist der Ruhezustand der Leitung BA gleich „1“. Jeder Speichercontroller SCx besitzt einen Taktoszillator OSZ, dessen Frequenz von dem Kondensator Cx und dem Widerstand Rx bestimmt ist. Der hier erzeugte Takt wird solange im Zähler Z hochgezählt, bis der Zählerstand den Wert W erreicht, der von der Auswertelogik AL vorgegeben ist. Sobald dieser Wert erreicht ist, wird der Transistor T durchgeschaltet und die Arbitrierungsleitung BA auf „0“ gezogen.

Auch die Auswertelogik AL ist an die Arbitrierungsleitung BA angeschlossen und überwacht diese daraufhin, ob ein anderer Speichercontroller SCx den Bus vorher auf „0“ getrieben hat.

- 5 In Fig. 4 ist der Ablauf der Bestimmung der Controllernummern Sx dargestellt. Zunächst sendet das Hostsystem ein Reset-Kommando, das bei den angeschlossenen Controllern SCx den Wiederholungszähler N auf 0 setzt. Danach sendet das Hostsystem das Bestimmungskommando an die Speichercontroller SCx. Diese haben
10 auf das Kommando gewartet und erhöhen den Wiederholungszähler um 1. Sie starten den Zähler Z. Während auf das Erreichen des Zählerstandes auf den Zufallswert W gewartet wird, überwacht der Controller die Arbitrierungsleitung BA. Falls die Leitung BA den Zustand „0“ annimmt, hat ein anderer Speichercontroller SCx seine
15 Controllernummer Sx bestimmt und dieser Controller geht wieder in die Wartestellung. Falls der Zählerstand Z den Wert W erricht, treibt dieser Controller die Arbitrierungsleitung für eine vorbestimmte Zeit auf „0“ und zeigt damit an, dass er seine Controllernummer Sx bestimmt hat. Die Controllernummer Sx entspricht dem wert des
20 Wiederholungszählers N. Dem Hostsystem HS wird eine Bestätigung der Übernahme der Controllernummer Sx gesendet. Das Hostsystem HS überwacht den Bus B auf eine Sendebestätigung. Wird innerhalb eines vorgegeben Zeitlimits keine Bestätigung erhalten, beginnt das Hostsystem den Bestimmungsprozess von vorn.
25 Wird die Bestätigung innerhalb der vorgegebenen Zeit erhalten, registriert das Hostsystem diesen Vorgang. Wenn der Wiederholungszähler N den Maximalwert MAX erreicht hat, welcher der Anzahl der vorgegebenen Speichercontroller entspricht, ist der Bestimmungsprozess beendet. Anderenfalls werden
30 weitere Bestimmungskommandos gesendet.

Bezugszeichenliste

AL	Auswertelogik
B	Bus
BA	Arbitrierungsleitung für den Bus
Cx	Kondensator am Oszillator x
Fx	Speicherchips
H	Halbleitersubstrat
HS	Hostsystem
KR	Kontrollregister
M	Master
Max	Maximale Zahl der Speichercontroller
N	Wiederholungszahl des Bestimmekommandos
OSZ	Oszillator
RP	Pull-Up-Widerstand
Rx	Widerstand am Oszillator x
Sx	Controllernummern
SCx	Speichercontroller
T	Transistor
W	Zufallswert
x	1 .. 4, fortlaufende Nummer
Z	Zähler
=	Vergleicher

Patentansprüche:

1. Speichersystem, welches mit mehreren, an einem getakteten Bus (B) parallel angeordneten Speichercontrollern (SCx) und jeweils
5 den Speichercontrollern (SCx) zugeordneten Speicherchips (Fx) gebildet ist und über den Bus (B) mit einem Hostsystem (HS) mit Speicheroperationskommandos unter Verwendung von logischen Speichersektornummern kommuniziert, dadurch gekennzeichnet, dass bei einer vom Hostsystem (HS) angeforderten
10 Speicheroperation der jeweils für einen Bereich von logischen Speichersektornummern betroffene Speichercontroller (SCx) den Bus für die Kommunikation mit dem Hostsystem (HS) mittels einer Arbitrierung übernimmt.
- 15 2. Speichersystem nach Anspruch 1, dadurch gekennzeichnet, dass einer der parallelen Speichercontroller (SCx) als Master (M) am Bus (B) bestimmt ist, und dieser, solange keiner der anderen Speichercontroller (SCx) den Bus (B) übernommen hat, die Kommunikation mit dem Hostsystem (HS) durchführt.
20
3. Speichersystem nach Anspruch 1, dadurch gekennzeichnet, dass die Arbitrierung des Busses (B) zwischen den Speichercontrollern (SCx) anhand der angesprochenen Speichersektornummer und über eine einzige Tri-State-Leitung (BA) erfolgt, welche die
25 Belegung des Busses (B) durch den betroffenen Speichercontroller (SCx) während der Kommunikationszeit mit einem Belegt-Signal angibt.
4. Speichersystem nach Anspruch 3, dadurch gekennzeichnet, dass
30 bei der Freigabe des Busses (B) durch einen Speichercontroller (SCx) auf der Arbitrierungsleitung (BA) eine Schutzzeit eingefügt ist, in der die Leitung (BA) aktiv auf Freigabe getrieben ist.

5. Speichersystem nach Anspruch 4, dadurch gekennzeichnet, dass die Schutzzeit einer Taktlänge des Busses (B) entspricht.
6. Speichersystem nach Anspruch 1, dadurch gekennzeichnet, dass
5 für aufeinanderfolgende logische Speichersektornummern unterschiedliche Speichercontroller (SCx) zugeordnet sind.
7. Speichersystem nach Anspruch 1, dadurch gekennzeichnet, dass die Speicherchips (Fx) blockweise löschbare Flashspeicher sind.
10
8. Speichersystem nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass die Speichercontroller (SCx) gemeinsam auf einem Halbleitersubstrat (H) angeordnet sind.
- 15 9. Speichersystem nach Anspruch 8, dadurch gekennzeichnet, dass die Bestimmung die Reihenfolge der Speichercontroller (SCx) am Bus (B) und des Masters (M) durch eine Programmierung eines Kontrollregisters (KR) zu den jeweiligen Speichercontrollern (SCx) erfolgt.
20
10. Verfahren zur Bestimmung der Reihenfolge der Speichercontroller (SCx) am Bus (B), dadurch gekennzeichnet, dass
 - auf ein wiederholtes Bestimmungskommando des Hostsystems
25 (HS) jeweils ein Speichercontroller (SCx) nach einer zufällig bestimmtem Zeit die Arbitrierungsleitung (BA) für einen definierten Zeitraum belegt, sofern kein anderer Controller (SCx) die Leitung (BA) vorher belegt hat,
 - aus der Wiederholungszahl dieses Kommandos dieser
30 Controller seine Controllernummer (Sx) ableitet,
 - jeweils ein Bestätigungssignal zum Hostsystem (HS) gemeldet wird,

- sich der jeweilige Speichercontroller (SCx) nach der Bestätigung aus dem Bestimmungsverfahren zurückzieht.

- 5 11. Verfahren nach Anspruch 10, dadurch gekennzeichnet, dass der Speichercontroller (SCx) mit der Controllernummer 1 als Master (M) bestimmt ist.
- 10 12. Verfahren nach Anspruch 10, dadurch gekennzeichnet, dass das Hostsystem (HS) die Bestimmungsvorgang wiederholt, falls nicht genügend Bestätigungen der Bestimmung gemeldet werden.
- 15 13. Verfahren nach Anspruch 10, dadurch gekennzeichnet, dass die zufällige Zeit zur Belegung der Arbitrierungsleitung (BA) von einem Zähler abgeleitet ist, der von Bauteiletoleranzen abhängig ist.

Fig. 1

1/3

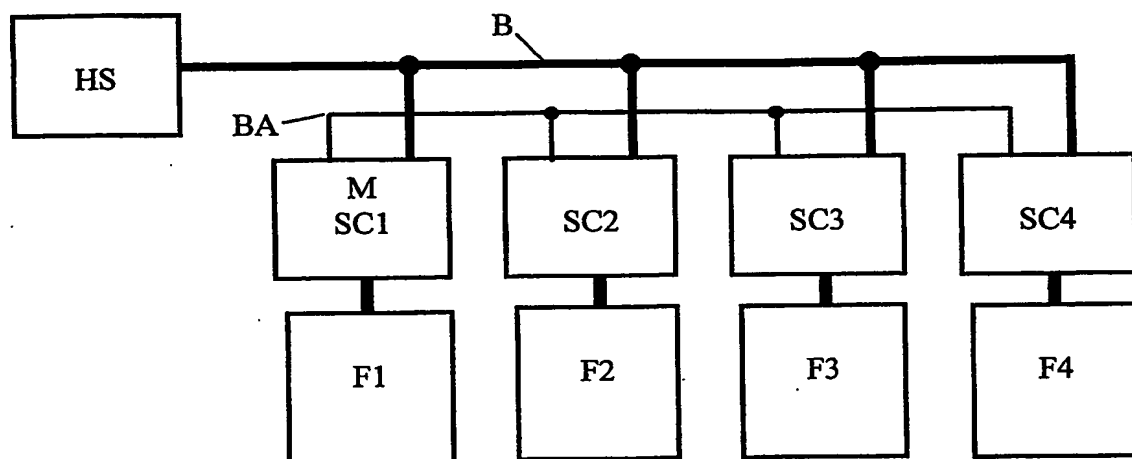


Fig. 2

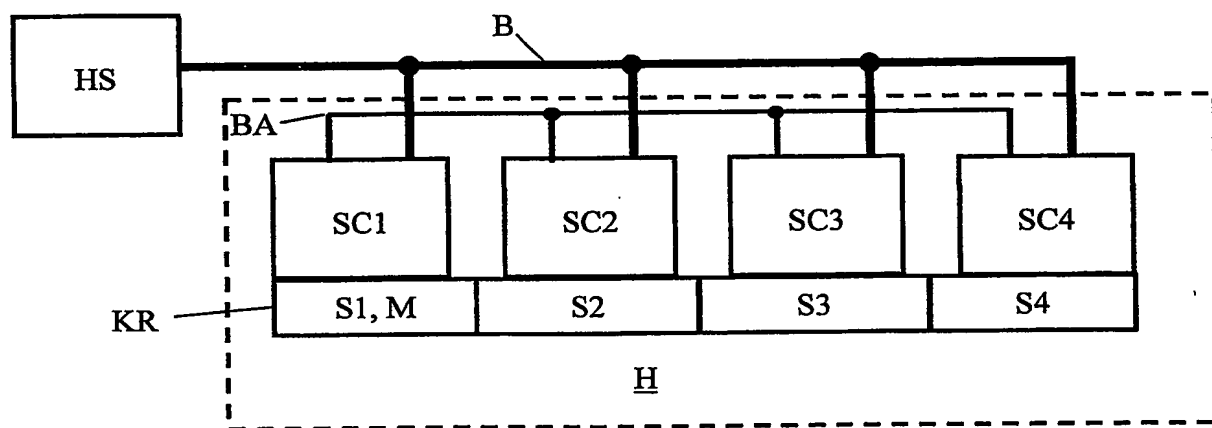


Fig. 3

2/3

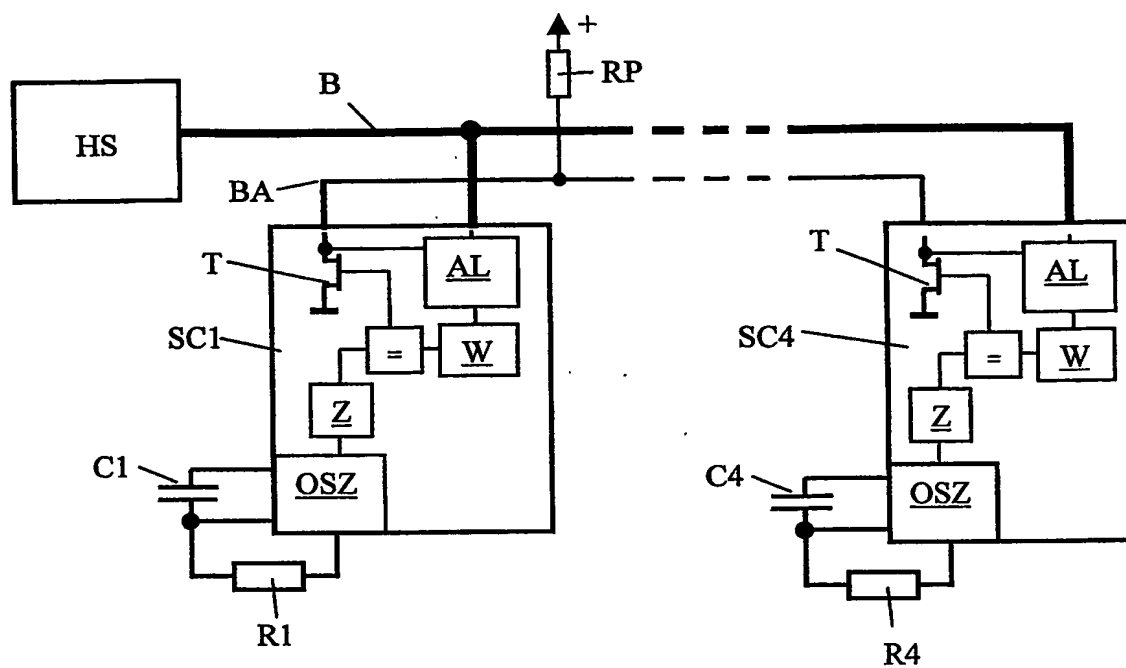
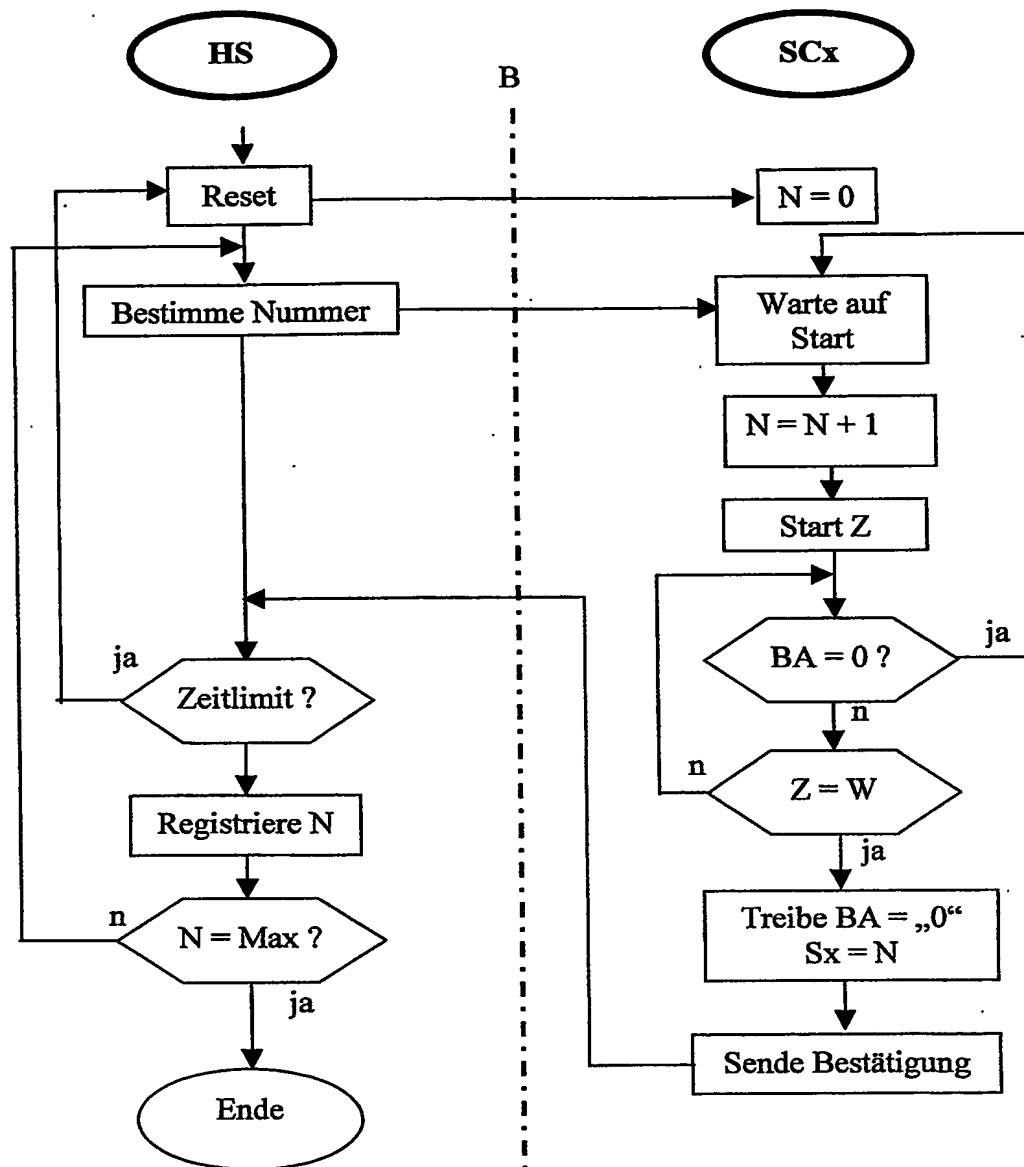


Fig. 4

3/3



(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

10/537700

(19) Weltorganisation für geistiges Eigentum
Internationales Büro(43) Internationales Veröffentlichungsdatum
17. Juni 2004 (17.06.2004)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2004/051490 A3(51) Internationale Patentklassifikation⁷: G06F 13/18

(21) Internationales Aktenzeichen: PCT/EP2003/013495

(22) Internationales Anmeldedatum:
1. Dezember 2003 (01.12.2003)

(25) Einreichungssprache: Deutsch

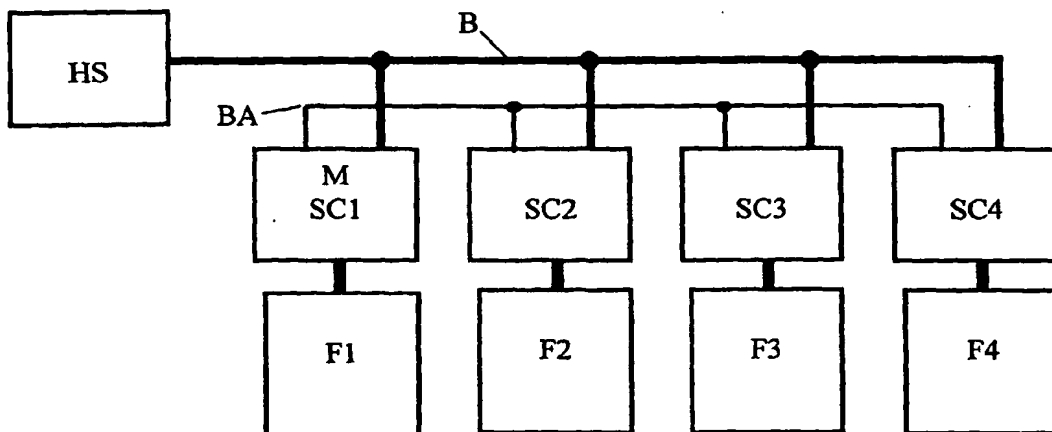
(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
102 56 502.3 4. Dezember 2002 (04.12.2002) DE(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): HYPERSTONE AG [DE/DE]; Line-Eid-Strasse 3,
78467 Konstanz (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): BAUMHOF,
Christoph [DE/DE]; Badener Strasse 5/5, 78315
Radolfzell-Euttingen (DE). KÜHNE, Reinhard [DE/DE];
Illenauweg 2, 78479 Reichenau (DE).(74) Anwalt: HANEWINKEL, Lorenz; Boehmert &
Boehmert, Ferrarieweg 17 a, 33102 Paderborn (DE).(81) Bestimmungsstaaten (national): AE, AG, AL, AM, AT,
AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR,
CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD,
GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR,
KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN,
MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU,

[Fortsetzung auf der nächsten Seite]

(54) Title: MEMORY SYSTEM COMPRISING A PLURALITY OF MEMORY CONTROLLERS AND METHOD FOR SYN-
CHRONIZING THE SAME(54) Bezeichnung: SPEICHERSYSTEM MIT MEHREREN SPEICHERCONTROLLERN AND VERFAHREN ZU DEREN
SYNCHRONISIERUNG

(57) Abstract: The invention relates to a memory system which is configured with a plurality of memory controllers (SCx), disposed in parallel on a clocked bus (B), and memory chips (Fx) associated with the respective memory controllers (SCx). The system communicates via the bus (B) with a host system (HS) by means of operational memory commands using logical memory sector numbers. The inventive system is characterized in that for any memory operation requested by the host system (HS) the memory controller (SCx) affected with respect to a range of logical memory sector numbers (SCx) takes over the bus for communication with the host system (HS) by means of arbitration.

(57) Zusammenfassung: Die Erfindung beschreibt ein Speichersystem, welches mit mehreren, an einem getakteten Bus (B) parallel angeordneten Speichercontrollern (SCx) und jeweils den Speichercontrollern (SCx) zugeordneten Speicherchips (Fx) gebildet ist und über den Bus (B) mit einem Hostsystem (HS) mit Speicheroperationskommandos unter Verwendung von logischen Speichersektornummern

[Fortsetzung auf der nächsten Seite]



SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

Veröffentlicht:

— mit internationalem Recherchenbericht

(84) Bestimmungsstaaten (regional): ARIPO Patent (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI Patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

**(88) Veröffentlichungsdatum des internationalen
Recherchenberichts:**

6. Januar 2005

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

kommuniziert, dadurch gekennzeichnet, dass bei einer vom Hostsystem (HS) angeforderten Speicheroperation der jeweils für einen Bereich von logischen Speichersektornummern betroffene Speichercontroller (SCx) den Bus für die Kommunikation mit dem Hostsystem (HS) mittels einer Arbitrierung übernimmt.

INTERNATIONAL SEARCH REPORT

International Application No

PCT/EP 03/13495

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 G06F13/18

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 G06F H04L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6 026 464 A (COHEN GARY LEON) 15 February 2000 (2000-02-15) abstract; figure 1 column 3, line 48 - line 62 column 4, line 5 - line 12 column 5, line 24 - line 63 column 6, line 12 - line 14	1-9
A	US 6 330 645 B1 (HARRIMAN GUY) 11 December 2001 (2001-12-11) figure 2 column 2, line 40 - line 48	1-9
A	US 6 397 314 B1 (ESTAKHRI PETRO ET AL) 28 May 2002 (2002-05-28) cited in the application the whole document	1-9

-/--

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

23 September 2004

Date of mailing of the international search report

05/10/2004

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Albert, J

INTERNATIONAL SEARCH REPORT

International Application No
PCT/EP 03/13495

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 689 675 A (BEIJ MARCEL ET AL) 18 November 1997 (1997-11-18) column 4, line 5 - column 5, line 24 -----	10-13
A	US 4 773 005 A (SULLIVAN JAMES P) 20 September 1988 (1988-09-20) column 2, lines 28-51 -----	10-13

INTERNATIONAL SEARCH REPORT

International application No.

PCT/EP03/13495

Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of item 2 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

See attached

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

☐

The additional search fees were accompanied by the applicant's protest.

☐

No protest accompanied the payment of additional search fees.

The International Searching Authority has determined that this international application contains multiple (groups of) inventions, namely:

1. Claims: 1-9

Memory system which consists of a plurality of memory controllers disposed in parallel on a clocked bus and memory chips assigned to said memory controllers and which communicates via the bus to a host system with memory organisation commands using logical memory sector numbers, characterised in that, for a memory operation requested by the host system, the memory controller relevant to a range of logical memory sector numbers takes over the bus for communication with the host system by means of arbitration.

2. Claims: 10-13

Method for determining the sequence of the memory controllers on the bus, characterised in that:

- in response to a repeated determination command issued by the host system and after a randomly determined period of time, a memory controller occupies the arbitration line for a defined period of time, provided no other controller has previously occupied the line;
- the controller in question derives its controller number from the repetition number of this command;
- a confirmation signal is sent to the host system;
- the memory controller in question withdraws from the determination method after the confirmation has been received.

INTERNATIONAL SEARCH REPORT

International Application No

PCT/EP 03/13495

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 6026464	A	15-02-2000	NONE
US 6330645	B1	11-12-2001	NONE
US 6397314	B1	28-05-2002	US 6202138 B1 13-03-2001
		US 6081878 A 27-06-2000	
		US 5930815 A 27-07-1999	
		US 5907856 A 25-05-1999	
		US 5845313 A 01-12-1998	
		US 6757800 B1 29-06-2004	
		US 6728851 B1 27-04-2004	
		US 6172906 B1 09-01-2001	
		AU 2975099 A 15-09-1999	
		EP 0983550 A2 08-03-2000	
		JP 2000510634 T 15-08-2000	
		WO 9944113 A2 02-09-1999	
		AU 1517799 A 27-04-1999	
		EP 1029278 A1 23-08-2000	
		WO 9918509 A1 15-04-1999	
		AU 6873898 A 22-10-1998	
		EP 0980551 A1 23-02-2000	
		JP 2002508862 T 19-03-2002	
		WO 9844420 A1 08-10-1998	
		US 5953737 A 14-09-1999	
		US 6128695 A 03-10-2000	
		US 6587382 B1 01-07-2003	
		US 6145051 A 07-11-2000	
		US 6122195 A 19-09-2000	
		US 6223308 B1 24-04-2001	
		US 6151247 A 21-11-2000	
		US 6411546 B1 25-06-2002	
		US 2001029564 A1 11-10-2001	
		US 5838614 A 17-11-1998	
		US 6125435 A 26-09-2000	
		US 5924113 A 13-07-1999	
		US 6115785 A 05-09-2000	
		US 6230234 B1 08-05-2001	
		US 2004117586 A1 17-06-2004	
US 5689675	A	18-11-1997	EP 0744053 A1 27-11-1996
			WO 9514972 A1 01-06-1995
			JP 8506443 T 09-07-1996
US 4773005	A	20-09-1988	CA 1249374 A1 24-01-1989
			EP 0173905 A2 12-03-1986
			JP 1628392 C 20-12-1991
			JP 2052297 B 13-11-1990
			JP 61070649 A 11-04-1986

INTERNATIONALE RECHERCHENBERICHT

Internat. Aktenzeichen

PCT/EP 03/13495

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

IPK 7 G06F13/18

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 G06F H04L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der Internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, PAJ, WPI Data

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 6 026 464 A (COHEN GARY LEON) 15. Februar 2000 (2000-02-15) Zusammenfassung; Abbildung 1 Spalte 3, Zeile 48 - Zeile 62 Spalte 4, Zeile 5 - Zeile 12 Spalte 5, Zeile 24 - Zeile 63 Spalte 6, Zeile 12 - Zeile 14 -----	1-9
A	US 6 330 645 B1 (HARRIMAN GUY) 11. Dezember 2001 (2001-12-11) Abbildung 2 Spalte 2, Zeile 40 - Zeile 48 -----	1-9
A	US 6 397 314 B1 (ESTAKHRI PETRO ET AL) 28. Mai 2002 (2002-05-28) in der Anmeldung erwähnt das ganze Dokument ----- -/--	1-9

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"a" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der Internationalen Recherche

23. September 2004

Absendedatum des Internationalen Recherchenberichts

05/10/2004

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Albert, J

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/EP 03/13495

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr.-Anspruch-Nr.
A	US 5 689 675 A (BEIJ MARCEL ET AL) 18. November 1997 (1997-11-18) Spalte 4, Zeile 5 - Spalte 5, Zeile 24 -----	10-13
A	US 4 773 005 A (SULLIVAN JAMES P) 20. September 1988 (1988-09-20) Spalte 2, Zeilen 28-51 -----	10-13

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/EP 03/13495

Feld I Bemerkungen zu den Ansprüchen, die sich als nicht recherchierbar erwiesen haben (Fortsetzung von Punkt 2 auf Blatt 1)

Gemäß Artikel 17(2)a) wurde aus folgenden Gründen für bestimmte Ansprüche kein Recherchenbericht erstellt:

1. ☐ Ansprüche Nr.
weil sie sich auf Gegenstände beziehen, zu deren Recherche die Behörde nicht verpflichtet ist, nämlich
2. ☐ Ansprüche Nr.
weil sie sich auf Teile der internationalen Anmeldung beziehen, die den vorgeschriebenen Anforderungen so wenig entsprechen, daß eine sinnvolle internationale Recherche nicht durchgeführt werden kann, nämlich
3. ☐ Ansprüche Nr.
weil es sich dabei um abhängige Ansprüche handelt, die nicht entsprechend Satz 2 und 3 der Regel 6.4 a) abgefaßt sind.

Feld II Bemerkungen bei mangelnder Einheitlichkeit der Erfindung (Fortsetzung von Punkt 3 auf Blatt 1)

Die internationale Recherchenbehörde hat festgestellt, daß diese internationale Anmeldung mehrere Erfindungen enthält:

siehe Zusatzblatt

1. ☒ Da der Anmelder alle erforderlichen zusätzlichen Recherchegebühren rechtzeitig entrichtet hat, erstreckt sich dieser internationale Recherchenbericht auf alle recherchierbaren Ansprüche.
2. ☐ Da für alle recherchierbaren Ansprüche die Recherche ohne einen Arbeitsaufwand durchgeführt werden konnte, der eine zusätzliche Recherchegebühr gerechtfertigt hätte, hat die Behörde nicht zur Zahlung einer solchen Gebühr aufgefordert.
3. ☐ Da der Anmelder nur einige der erforderlichen zusätzlichen Recherchegebühren rechtzeitig entrichtet hat, erstreckt sich dieser internationale Recherchenbericht nur auf die Ansprüche, für die Gebühren entrichtet worden sind, nämlich auf die Ansprüche Nr.
4. ☐ Der Anmelder hat die erforderlichen zusätzlichen Recherchegebühren nicht rechtzeitig entrichtet. Der internationale Recherchenbericht beschränkt sich daher auf die in den Ansprüchen zuerst erwähnte Erfindung; diese ist in folgenden Ansprüchen erfaßt:

Bemerkungen hinsichtlich eines Widerspruchs

- ☐ Die zusätzlichen Gebühren wurden vom Anmelder unter Widerspruch gezahlt.
- ☐ Die Zahlung zusätzlicher Recherchegebühren erfolgte ohne Widerspruch.

WEITERE ANGABEN

PCT/ISA/ 210

Die internationale Recherchenbehörde hat festgestellt, dass diese internationale Anmeldung mehrere (Gruppen von) Erfindungen enthält, nämlich:

1. Ansprüche: 1-9

Speichersystem, welches mit mehreren, an einem getakteten Bus parallel angeordneten Speichercontrollern und jeweils den Speichercontrollern zugeordneten Speicherchips gebildet ist und über den Bus mit einem Hostsystem mit Speicherorganisationskommandos unter Verwendung von logischen Speichersektorennummern kommuniziert, dadurch gekennzeichnet, dass bei einer vom Hostsystem angeforderten Speicheroperation der jeweils für einen Bereich von logischen Speichersektorennummern betroffene Speichercontroller den Bus für die Kommunikation mit dem Hostsystem mittels einer Arbitrierung übernimmt.

2. Ansprüche: 10-13

Verfahren zur Bestimmung der Reihenfolge der Speichercontroller am Bus, dadurch gekennzeichnet, dass

- auf ein wiederholtes Bestimmungskommando des Hostsystems jeweils ein Speichercontroller nach einer zufällig bestimmtem Zeit die Arbitrierungsleitung für einen definierten Zeitraum belegt, sofern kein anderer Controller die Leitung vorher belegt hat,
- aus der Wiederholungszahl dieses Kommandos dieser Controller seine Controllernummer ableitet,
- jeweils ein Bestätigungssignal zum Hostsystem gemeldet wird,
- sich der jeweilige Speichercontroller nach der Bestätigung aus dem Bestimmungsverfahren zurückzieht.

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP 03/13495

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 6026464	A	15-02-2000	KEINE
US 6330645	B1	11-12-2001	KEINE
US 6397314	B1	28-05-2002	US 6202138 B1 13-03-2001
			US 6081878 A 27-06-2000
			US 5930815 A 27-07-1999
			US 5907856 A 25-05-1999
			US 5845313 A 01-12-1998
			US 6757800 B1 29-06-2004
			US 6728851 B1 27-04-2004
			US 6172906 B1 09-01-2001
			AU 2975099 A 15-09-1999
			EP 0983550 A2 08-03-2000
			JP 2000510634 T 15-08-2000
			WO 9944113 A2 02-09-1999
			AU 1517799 A 27-04-1999
			EP 1029278 A1 23-08-2000
			WO 9918509 A1 15-04-1999
			AU 6873898 A 22-10-1998
			EP 0980551 A1 23-02-2000
			JP 2002508862 T 19-03-2002
			WO 9844420 A1 08-10-1998
			US 5953737 A 14-09-1999
			US 6128695 A 03-10-2000
			US 6587382 B1 01-07-2003
			US 6145051 A 07-11-2000
			US 6122195 A 19-09-2000
			US 6223308 B1 24-04-2001
			US 6151247 A 21-11-2000
			US 6411546 B1 25-06-2002
			US 2001029564 A1 11-10-2001
			US 5838614 A 17-11-1998
			US 6125435 A 26-09-2000
			US 5924113 A 13-07-1999
			US 6115785 A 05-09-2000
			US 6230234 B1 08-05-2001
			US 2004117586 A1 17-06-2004
US 5689675	A	18-11-1997	EP 0744053 A1 27-11-1996
			WO 9514972 A1 01-06-1995
			JP 8506443 T 09-07-1996
US 4773005	A	20-09-1988	CA 1249374 A1 24-01-1989
			EP 0173905 A2 12-03-1986
			JP 1628392 C 20-12-1991
			JP 2052297 B 13-11-1990
			JP 61070649 A 11-04-1986